

YÜKSEK PARAZİTSİZ DİNAMİK ALANLI, DÜŞÜK GENLİK BOZULMALARINA SAHİP SAYISAL SİNYAL ÜRETECİ TASARIMI VE GERÇEKLEMESİ

KILIÇ Argun ⁽¹⁾, YILMAZ Ali Özgür⁽²⁾

(1) ASELSAN A.Ş. MST EDM REH
Macunköy, Ankara
kilic@aselsan.com.tr

(2) Orta Doğu Teknik Üniversitesi
Elektrik ve Elektronik Müh. Böl.
aoyilmaz@eee.metu.edu.tr

Özet

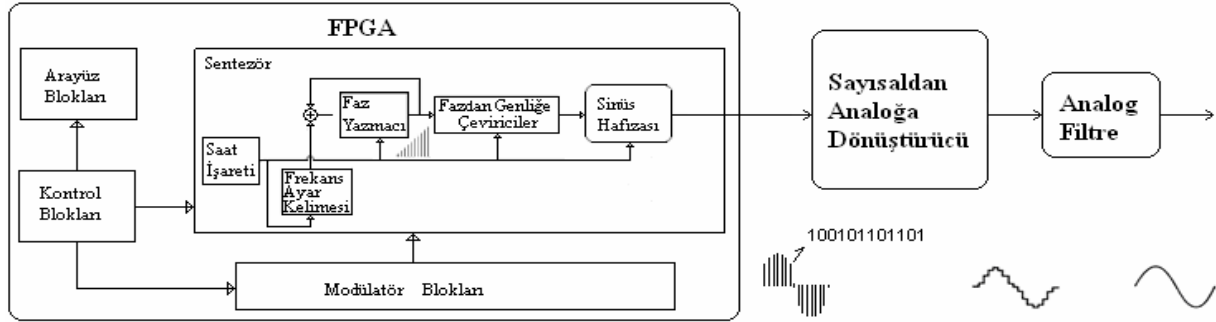
Bu bildiride 100MHz'e kadar bir frekansta 70dB parazitsiz dinamik alana (SFDR) sahip taşıyıcı sinyal sentezleyebilen, bu sinyali değişken sembol hızlarında, yüksek faz/frekans çözünürlüğünde ve anahtarlama hızlarında değişik tekniklerle modüle edebilen, modüle edilmiş semboller süresince oluşabilecek genlik bozulmalarını en aza indiren bir sayısal sinyal üreticinin tasarımı ve gerçekleştirilmesi açıklanmaktadır. Hedeflenen sinyalleri karakterize eden örnekler alanı programlanabilen geçit dizilimlerde (FPGA) dolaysız sayısal sentezörler (DDS) temel alınarak sayısal olarak üretilmiş ve sayısal-analog dönüştürücüler (DAC) ile analog sinyallere dönüştürülmüştür. DAC'ların SFDR performans karakteristikleri, doğrusal olmayan bozunumları, örnekle-tut etkileri, DDS parametreleri, saat işaretinin etkileri, genlik bozulmalarının azaltılması için gerekli bant genişlikleri ve bunların sistem performansı üzerine etkileri incelenmiştir.

1. Giriş

Sayısal sinyal sentezörleri (SSS) temel üç bloktan oluşmaktadır. Bunlar üretilmesi hedeflenen sinyalin örneklerini sayısal olarak üreten, sayısal örnekleri akım veya gerilim gibi analog sinyallere dönüştüren ve dönüştürücü sonunda merdiven şeklinde üretilmiş sinyali yumuşatan ve bantı sınırlayan analog filtre bloklarıdır.

Günümüzdeki çalışmalarda bu sayısal üreteç ve sayısaldan analoğa dönüştürücü bloklar birleştirilerek tek bir tümeleşik devre ile sunulmaya çalışılmaktadır. Ancak bu çalışmalar ya bu bildiride gerek duyulan örnekleme hızlarında çalışmamaktadırlar ya yeteri kadar dinamik alan sağlamamaktadırlar ya da yeteri kadar esnek ve kontrol edilebilir değildirler. Bu nedenle bu çalışmada alanı programlanabilen geçit dizilimlerde (FPGA), dolaysız sayısal sentezörler (DDS) [1] temel alınarak sayısal örnekler üretilmiş ve bu örnekler yüksek hızlı yüksek dinamik alanlı sayısaldan analoğa dönüştürücüler (DAC) ile analog sinyallere dönüştürülmüştür. Tasarlanmış sistemin fonksiyonel blok şeması Şekil 1'de görülmektedir.

Bu bildirinin devamında sistemin analog performansını etkileyen tüm faktörler incelenmiştir. Bu faktörler ışığında tasarlanan ve gerçekleştirilen donanım açıklanmış ve bu donanıma yüklenen FPGA yazılımları hakkında bilgi verilmiştir. Son olarak sistem ölçümleri yapılarak sistem performansı değerlendirilmiştir.



Şekil 1. Sayısal sinyal sentezörü fonksiyonel şema

2. Analog Performansı Etkileyen Faktörler

Öncelikle SSS'in filtrelenmemiş frekans spektrumunda f_0 frekansındaki ana sinyal yanında, örneklemeden dolayı ana sinyalin görüntüleri $|K.f_s \pm f_0|$ (f_s örnekleme frekansı, K tamsayı) frekanslarında, DAC'ın doğrusal olmayan karakteristikleri nedeniyle temel sinyalin harmonikleri $K.f_0$ frekanslarında ve DDS yapısındaki sinüs hafızasındaki kısıtlamalar nedeniyle oluşan faz bozulma parazitleri gözükmemektedir. Sinüs hafızasının genişliğinin P bit olduğu durumda en yüksek faz bozulma parazit seviyesi $-6.02 \cdot P$ dB [2] çıkmaktadır. Bunların yanında örneklemeden dolayı bütün harmonikler ve parazitler ana sinyalin bulunduğu $[0\text{Hz } f_s/2\text{Hz}]$ frekans bandına da örtüşmektedir ve filtrelenmemektedir. Harmoniklerin, parazit sinyallerin ve görüntülerinin yerleşimi örneklime frekansına bağlıdır. Bu nedenle örnekleme frekansı, DAC SFDR performansı ve DDS hafıza genişliği sistem açısından önemlidir. Ayrıca DAC girdi bit sayısı N kabul edilirse, niceleme gürültüsü $(6.02 \cdot N + 1.76)$ dB ana sinyalden aşağıda belirlemektedir [3]. Örneklenmiş sinyalin doğal örnekle-tut karakteristiği nedeniyle örnekleme frekansının katlarında sıfırlara inen ana bir sinc fonksiyonunun genlik biçimlemesi de frekans spektrumunda gözlemlenecektir. Bu nedenle ana sinyali bu sinc fonksiyonunun zayıflatma etkilerinden uzak tutmak gerekmektedir. Son olarak sistem saat işaretinin faz gürültüsü $20 \log(f_0/f_s)$ oranında azalarak sentezlenen frekansın gürültüsüne toplanacaktır [4].

3. Sistem Tasarımı

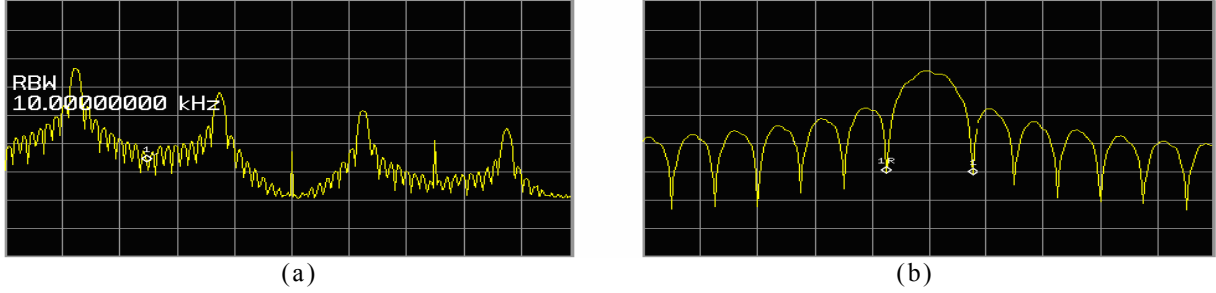
Sistem gereksinimleri göz önünde tutularak, piyasadaki DAC'lar arasında bir araştırma yapılmıştır. Bunun sonucunda 100MHz'e kadar 70dB'nin üstünde SFDR performansa sahip, örnekleme hızı 400MHz'e çıkabilen bir DAC sistemde kullanılmıştır. Bu DAC, sistem içerisinde kullanılan bir FPGA ile entegre edilmiştir. 10 katlı, 6U boyutunda bir kart tasarlanmıştır. Kartta saat işareti senkronizasyonunun sağlanması amacıyla sistemin tüm saat işareti DAC içindeki PLL devrelerinde çoğaltılarak dağıtılmıştır. Seçilen DAC'ın iki kanalı vardır. Bu kanallar tek bir sinyalin yükseltilmesi için kullanılacağı gibi, iki ayrı kanalın sayısaldan analoga dönüştürülmesi içinde kullanılabilir. Her biri 16 bit olan bu kanallar FPGA tarafından sürülmüştür.

DAC'ın SFDR performansı çeşitli frekanslarda tek ton sinyaller üretilerek ölçülmüştür. 40MHz ila 100MHz frekans aralığındaki çeşitli frekanslarda üretilmiş sinyallerin ölçümlerinde SFDR 70dB'nin üstünde çıkmıştır.

Bunları takiben FPGA içinde modülasyon, kontrol ve sentezör blokları tasarlanmıştır. Sentezör sinüs hafıza genişliği 16 bit alınmıştır. Böylece 0.005 derecelik faz çözünürlüğü sağlanmıştır. Sayısal blokların çalışma frekansı örnekleme frekansı ile kısıtlanmıştır.

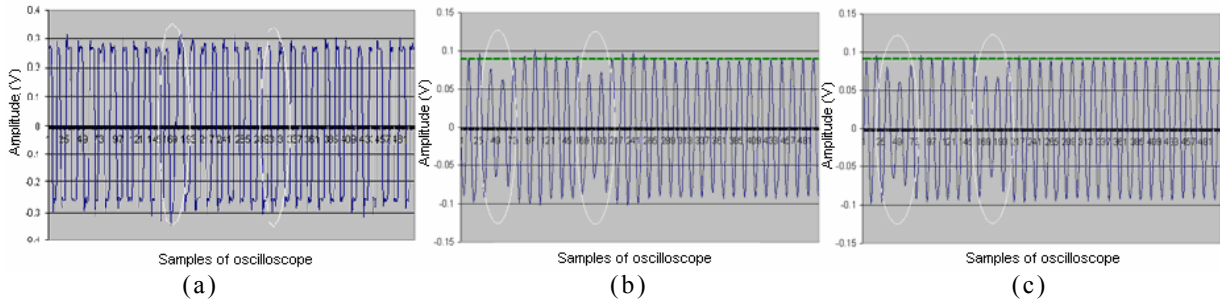
4. Performans Ölçümleri

Sistemin testi amacıyla $f_s/4\text{MHz}$ merkez frekansında $f_{sym}\text{MHz}$ sembol hızında QPSK modüle edilmiş sinyal sentezleyebilen bir SSS tasarlanmıştır. Kod olarak rasgele kod üretici tasarlanmıştır ve modülatör bloğu için kullanılmıştır. Şekil 2’de, sol taraftaki spektrum $2f_s\text{MHz}$ ’e kadar bandı göstermektedir. Ana sinyal $f_s/4\text{MHz}$ ’e oturmuştur, diğer sinyaller görüntülerdir (‘image’) ve ayrıca belirgin bir şekilde örnek-tut sinc etkisi gözükmemektedir. Sağdaki ikinci spektrum ana sinyalinin çevresindeki bandı göstermektedir. Zamanda dikdörtgen kod şekilleri kullanıldığı için spektrumda sinc lobları gözlenmektedir.



Şekil 2. QPSK $f_s/4\text{MHz}$ sinyalin (a) $2f_s$ ’e kadar (b) $f_s/4\text{MHz}$ çevresi spektrumları

Bu sinyal daha sonra ASELSAN A.Ş.’de tasarlanan 2 değişik bant geçiren kuşaklı filtre ile filtrelenmiştir. Filtrelerden ilkinin bant genişliği $2f_{sym}\text{MHz}$, ikincisinininki ise $8f_{sym}\text{MHz}$ ’dir. Şekil 3’de filtrelenmemiş ve filtrelenmiş sinyaller gözükmemektedir. Geniş bantlı filtre ile filtrelenmiş sinyalin üzerindeki genlik oynamaları beklendiği üzere azalmıştır. Bu noktada iki filtrenin de grup gecikme performansının bant içinde 10ns ’den kötü olmadığı belirtilmelidir.



Şekil 3. (a)Filtrelenmemiş (b)Dar bantlı (c)Geniş bantlı filtreler ile filtrelenmiş sinyaller

5. Sonuçlar

Analog performansı etkileyen tüm faktörler gerçek çıktılarda gözlemlenmiştir. O nedenle DAC seçimi ve örnekleme frekansı seçimi dikkatli yapılmalıdır. Analog filtre genişledikçe genlik bozulmaları azalmaktadır. Önerilen sistemin esnek yapısı sayesinde çeşitli modülasyon kabiliyetleri kazanılmıştır ve 70dB SFDR sağlanmıştır.

6. Referanslar

- [1] XILINX, “DDS v4.2”, <http://www.xilinx.com/ipcenter/catalog/logicore/docs/dds.pdf>, 2003
- [2] K. Gentile, “A Technical Tutorial on Digital Signal Synthesis”, Analog Devices, 1999
- [3] W. Kester, J. Bryant, Analog-Digital Conversion, Analog Device, 2004, ISBN 0-916550-27-3
- [4] R. Cushing, “A Technical Tutorial on Digital Signal Synthesis”, Analog Devices, 1999