

0.35µm SiGe BiCMOS Prosesi ile HIPERLAN için Halka Tipi Dördül Lokal Osilatör Tasarımı

Pınar Taşcı Ali Toker
İstanbul Teknik Üniversitesi, Elektrik-Elektronik Fakültesi
Elektronik ve Haberleşme Mühendisliği Bölümü
80626-Maslak, İstanbul
alitoker@ehb.itu.edu.tr

Özet: Bu çalışmada yüksek performanslı radyo frekans (RF) lokal alan ağı (HIPERLAN2) sisteminin alıcı lokal osilatör tasarımı için tasarlanan 90° faz farklı işaret üretebilen lokal osilatör tasarım kriterleri verilmektedir. Söz konusu frekans bölgesinde (5-6GHz) SiGe karma jonksiyonlu transistörleri içeren bir proses kullanılmıştır. Bu amaç için tasarlanan kırmık üstü halka tipi lokal osilatörün simülasyon sonuçları verilmektedir.

1. Giriş

Heterodin, homodin, hayal bastıran v.b. alıcıların benzer yanlarından birisi frekans ve faz modülasyonlu işaretler için birçok halde aşağı doğru karıştırma işleminde 90° faz farklı (quadrature, dördül) lokal osilatör çıkışlarına gereksinim duyulmaktadır [1]. 90° faz farklı işaret üretimi QPSK, GMSK, OFDM gibi dijital modülasyon türlerinde sistemin kritik noktalarından birini oluşturmaktadır.

GSM, DECT, Bluetooth, HIPERLAN gibi modern radyo frekans (RF) sistemlerinde alçak veya sıfır ara frekanslı alıcılar esneklik ve yüksek tümleştirme oranı ile düşük maliyet açısından tercih edilmektedir. Bu bağlamda, yüksek performanslı Avrupa telsiz lokal-alan ağı (HIPERLAN2) dikkate alındığında bu sistem 54 Mb/s e kadar çok yüksek hızda veri iletimi, ortogonal sayısal frekans çoğullamalı (OFDM) tipi modülasyon ve 5-6GHz frekans bölgesinde 1° den küçük hata ile 90° faz farklı işaret üretimi gereksinimleri söz konusu olmaktadır [2]. Diğer taraftan karma sistem (analog+sayısal) tümleştirme piyasa ve rekabet koşulları açısından vazgeçilmez bir unsur olup, söz konusu frekanslarda kırmık üstü bir osilatörde dördül işaret üretimi çok zordur.

Bu çalışmada 5-6GHz bölgesi için 90° faz farklı işaret üretimi için hangi yöntemlerin tümleşik devre teknolojisi için uygun olduğu araştırılmış ve mümkün görünen iki yöntemden biri olan halka osilatör MIETEC 0.35µm SiGe BiCMOS prosesi ile tasarlanarak simülasyon sonuçları sunulmaktadır.

2. 90° Faz Farklı İşaret Üretimi İçin Yöntemler

90° faz farklı lokal osilatör (LO) tasarımı için yöntemler aşağıdaki gibi sıralanabilir:

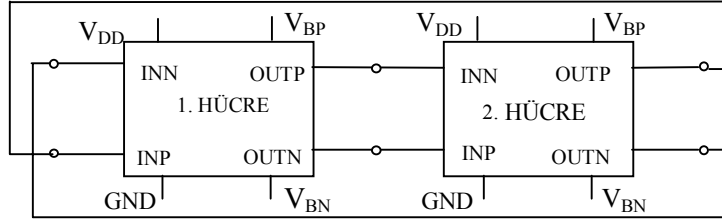
i) RC-CR devreleri (polifaz filtreleri) [3-6], ii) Frekans bölme tekniği [1], iii) Dördül-halka (quadrature-ring) osilatör [7], iv) İki çapraz-bağlı gerilim kontrollü osilatör (VCO) tekniği [8].

Bu tekniklerden ilki ile uygun bir kırmık üstü yerleşimle kabul edilebilir bir hata ile 90° faz farklı işaret üretebilir. Buna karşın, polifaz filtre 5-6GHz bölgesinde her bir kanalda 10dB mertebesinde zayıflamaya yol açar. Ancak geniş bantlı bir sistemde her bir kanal için lineerlik koşulları çok sıkıdır ve bu nedenle zayıflamayı telafi eden A-sınıfı kuvvetlendiricilerin kutuplama akımlarının çok büyük seçilmesi sonucu artan toplam güç tüketimi bu yöntemi olanaksız kılmaktadır. Benzer şekilde frekans bölme tekniği, birçok halde uygulanabilen bir yöntem olmasına karşılık gerekli LO frekansının iki katında frekans üretimini gerektirir. Bu yöntem HIPERLAN2 için 10-12GHz bölgesinde işaret üretimini gerektirir ki, bu durum eldeki teknolojilerle henüz olanaklı değildir. Bu nedenlerle son iki yöntem uygulanabilir yöntemler olmaktadır.

Dördül VCO için tasarım kriterleri: dördül doğruluğu, 5-6GHz frekans bölgesinde ayarlanabilme, faz gürültüsü kriterini sağlama, LO ün yüklenme etkilerini dikkate alma, uygun bir kırmık alanı gereksinimi, güç tüketimi şartlarının sağlanması şeklinde sıralanabilir. Bu çalışmada faz gürültüsü açısından dezavantajlı olmasına karşın daha az kırmık alanı kapladığı dikkate alınarak, üçüncü yönteme dayalı bir gerçekleştirme ele alınmaktadır.

3. Gecikme Hücresi Tasarımı

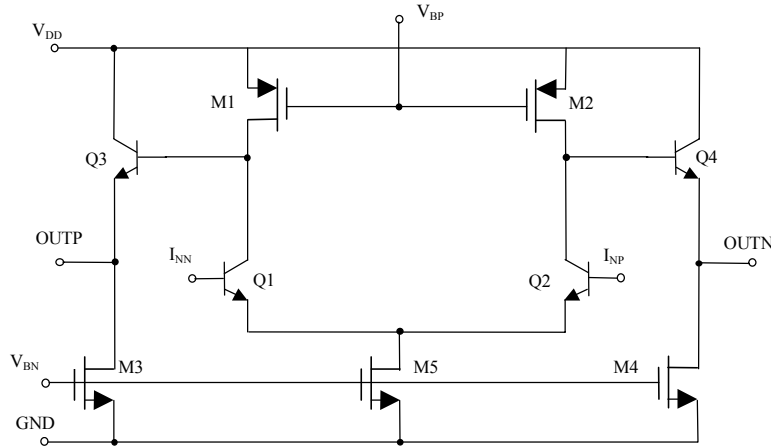
Halka osilatörü dördül çıkışlar elde etmek için çift sayıda çaprazlanmış simetrik gecikme hücresi ile gerçekleştirilebilir [7]. Bu çalışmada yer gereksinimi dikkate alınarak iki adet gecikme hücresi kullanılmıştır. Şekil 1 de prensip şeması verilen halka osilatörde simetrik giriş ve çıkışlı iki hücre kaskat bağlandıktan sonra çıkışlar girişlere çaprazlanarak bağlanarak eş ve zıt falı çıkışların yanı sıra dördül çıkışlar da elde edilmektedir.



Şekil 1. Simetrik hücreli iki katlı halka osilatör topolojisi

Literatürde RF halka osilatör tasarımı için birçok halde farksal hücrelerin kullanıldığı görülmektedir. [9-11]. Bu çalışmada da aynı amaçla tasarlanan tipik bir BiCMOS fark kuvvetlendiricisi ile bipolar transistorlu tampon devrelerden oluşan gecikme hücresi Şekil 2 de görülmektedir. Bu devrenin gecikmesi, dolayısıyla frekans kontrolü hem kuyruk akımını hem de PMOS'ların geçit gerilimi ayarlanarak yapılmakta, böylece salınım değişimleri minimize edilebilmektedir. Tipik halde M_3 , M_4 ve M_5 in akımları 1.2mA dir. Triyottaki PMOS'lar ayarlanabilen direnç olarak çalışmaktadır. Şekil 2 deki devrenin transistor boyutları Tablo 1 de verilmektedir.

Transistor boyutlarının seçiminde osilasyon frekansı ile eşleşme özellikleri arasındaki ikilem önemli olur. Her iki özellik de PMOS boyutlarına bağlıdır. Frekans bu transistorların enlerine oldukça duyarlıdır. Uygun bir tasarımda bu boyutlar hem istenen osilasyon frekansı hem de minimum faz uyumsuzluğunu sağlayacak biçimde olmalıdır. Diğer yandan NMOS transistorlarda, eşleşme üzerinde sadece M_5 etkin olur. Bu nedenle, M_5 'in, alanı M_3 ve M_4 'ün alanlarından oldukça büyük, aynı akımı akıttıkları için W/L oranı aynı olacak şekilde seçilir. Diğer taraftan, yerleşim eşleşme hataları daha büyük kanal boyları için azaldığından $L_5=3\mu\text{m}$ olarak seçilmiştir.



Şekil 2. Farksal gecikme hücresi

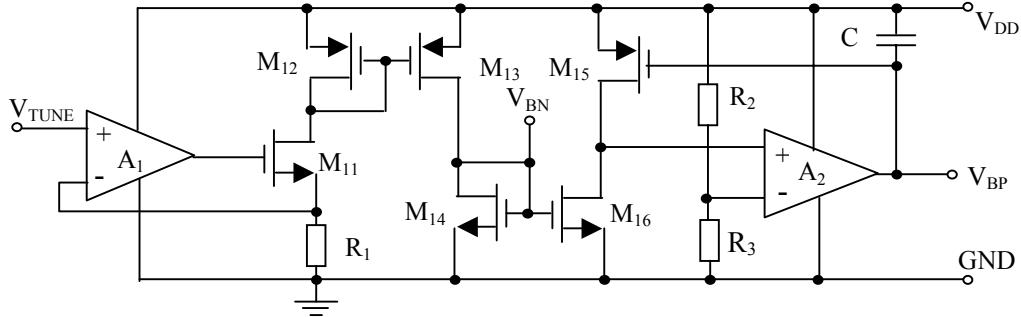
Tablo 1 Farksal gecikme hücresindeki transistorların boyutları

Eleman Adı	Boyut
M1, M2	48/0.45 ($\mu\text{m}/\mu\text{m}$)
M3, M4	83.6/2 ($\mu\text{m}/\mu\text{m}$)
M5	125.4/3 ($\mu\text{m}/\mu\text{m}$)
Q1, Q2, Q3, Q4	NH8

4. Frekans Ayarı

Tasarlanan gerilim kontrollü osilatör (VCO) ün osilasyon frekansı bir gerilimle iki ayrı noktadan ayarlanabilmektedir. Şekil 3 deki şemada frekans ayar düzeni görülmektedir. Bu devre NMOS kutuplama ve PMOS kutuplama olarak iki kısma ayrılabilir. V_{TUNE} akort gerilimi olup 0.4V ila 1.6V arasında değiştirilebilmektedir. Burada ayar gerilimi basit bir geribesleme düzeniyle bir direnç üzerinden akıma çevrilmekte daha sonra basit bir PMOS akım yansımasıyla bu akımı yansıtmaktadır. Bu akımın diyot bağlı M_{14} üzerinde oluşturduğu gerilim gecikme hücresini kutuplamaktadır. Akort düzeninin ikinci kısmını PMOS kutuplama devresi oluşturmaktadır. Bu devre de girişini (V_{BN}) NMOS kutuplama devresinden almaktadır.

Dirençli gerilim bölücü devresi PMOS transistörlerin V_{DS} gerilimlerini sabit tutarak triyot rejiminde kalmalarını, dolayısıyla osilatörün osilasyon frekansının sabit kalmasını garanti etmektedir. Bu devredeki transistörlerin boyutları da Tablo 2 de verilmektedir.



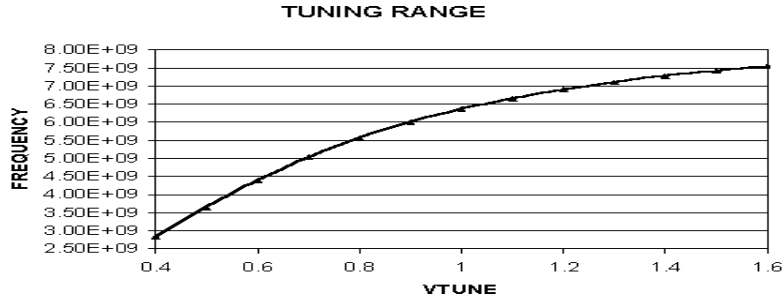
Şekil 3. Kutuplama Düzenini gerçekleyen devre .

Tablo 2 NMOS ve PMOS kutuplama devresindeki eleman boyutları ve değerleri

Eleman	Boyutlar-değerler	Eleman	Boyutlar- değerler
R1	3.2K Ω	R2	750 Ω
M11	100 $\mu\text{m}/0.65\mu\text{m}$	R3	9250 Ω
M12	140 $\mu\text{m}/1\mu\text{m}$	C	1pF
M13	140 $\mu\text{m}/1\mu\text{m}$	M15	24 $\mu\text{m}/0.45\mu\text{m}$
M14	20.9 $\mu\text{m}/2\mu\text{m}$	M16	20.9 $\mu\text{m}/2\mu\text{m}$

5. Simülasyon Sonuçları

Simülasyonlar MADE ve HP-ADS olmak üzere iki ayrı simülasyon ortamında yapılmıştır. Zaman domeni simülasyonları, kararlı hal analizleri, karakterizasyon ve Monte Carlo simülasyonları ELDORF ile gerçekleştirilmiştir. Faz gürültüsü simülasyonları ise HP-ADS ile yürütülmüştür. Tipik hal koşulları: $T=27^\circ\text{C}$, $V_{TUNE}=0.9\text{V}$, $V_{DD}=3.3\text{V}$ olup tipik eleman modelleri kullanılmıştır. Dördül çıkışlar arasındaki azami genlik farkı 0.0583dB olup ihmal edilebilecek düzeydedir. Ayar bölgesi, 0.4V and 1.6V akort gerilimleri aralığında 2.81GHz-7.55GHz dir ve akort eğrisi Şekil 4 deki gibidir.



Şekil 4 Halka osilatörün akort eğrisi

Performansını belirlemek amacıyla yapılan devre karakterizasyonu için toplam 256 simülasyon yapılmış olup en kötü hal sonuçları Tablo 3 görüldüğü gibidir.

Tablo 3 Halka osilatörün karakterizasyon sonuçları

	MIN	MAX
FREKANS(GHz)	4.83	6.0
GENLİK (V _{pp} diff)	526mV	1.15V
FAZ FARKI.(degrees)	90.004	90.13
GENLİK FARKI	4mV(max)	
AYAR BÖLGESİ	1120MHz	

Monte Carlo simülasyonları sadece osilatör faz farkının alabileceği uç değerleri belirlemek amacıyla yapılmıştır. Kullanılan proste BJT lar için β daki sapma %0.65, I_S deki sapma ise %5.25 dir. MOS transistor parametrelerindeki sapma miktarları Tablo 4 verilmiştir.

Tablo 4 MOS transistor parametrelerindeki sapmalar

Eleman Adı	Sapma	
	β sapması (%)	V_T sapması (mV)
M15	0.7	2.3
M1,M2	0.54	1.63
M3, M4	0.27	0.88
M5	0.22	0.44

Monte Carlo analizi sonuçlarından toplam faz hatasının 0.15° olduğu, hata üzerinde en büyük etkinin PMOS'lardan kaynaklandığı ve 0.14° olduğu anlaşılmaktadır. Faz gürültüsü simülasyonları sadece tipik koşullar altında hem HP-ADS hem de ELDORF ile gerçekleştirilmiştir. HP-ADS ile elde edilen sonuç 10MHz offset frekansında -97dBc/Hz dir. Buna karşılık ELDORF sonuçlarına göre ise at 10MHz offset frekansında -105dBc/Hz olarak bulunmuştur. İki simülasyon ortamı arasındaki fark büyük ölçüde iki ortamdaki eleman modelleri arasındaki farklılıklardan kaynaklanmaktadır.

6. Sonuçlar

Bu çalışmada 5-6GHz bölgesinde alıcı lokal osilatöründe 90° faz farklı işaret üretimi açısından yöntemler karşılaştırmalı olarak incelenmiştir. Bu frekans bölgesi için kırmık üstü gerçekleştirme açısından polifaz filtreleri ve frekans bölme yönteminin uygun olmadıkları, buna karşı çapraz bağlı negatif- G_m osilatörleri ile dördül halka osilatörlerinin gerçeklemeye uygun oldukları gösterilmiştir. Halka osilatörler faz gürültüsü açısından dezavantajlı olmalarına karşın daha az kırmık alanı gerektirdiği ve faz kilitleme çevrimi ile söz konusu mahzurun giderilebileceği düşüncesiyle tercih edilmiştir. Tipik hal simülasyonlarına ilave olarak en kötü hal simülasyonları ile devrenin çalışma emniyeti sağlanmaya çalışılmıştır. Tasarlanan devre her bakımdan sistem gereksinimlerini sağladığı gibi, sadece en kötü halde ve HP-ADS ortamında 3dB kadar bir farkla faz gürültüsü gereksinimini sağlamamaktadır. Bu eksikliğin ilave tedbirlerle, mesela faz kilitlemeli çevrimin faz gürültüsü üzerindeki olumlu etkileriyle aşmanın mümkün olacağı düşünülmektedir.

Kaynaklar

- [1] Razavi B., RF Microelectronics, Prentice Hall PTR, A.B.D. 1998.
- [2] DTS/BRAN-0023003, Broadband radio access networks HIPERLAN type 2 tech.sSpec., ETSI, 1999.
- [3] Sevenhans J., Haspeslagh D., Delarbre A., Kiss L., Chang Z. ve Kukielka J.F., 'An analog radio front-end chip set for a 1.9GHz mobile radio telephone application', Proc. Int. IEEE Solid-State Conference, Şubat 1994, San Francisco, CA, A.B.D, s. 44- 45.
- [4] Hull C.D., Tham J.L ve Chu R.R., 'A direct conversion receiver for 900MHz (ISM band) spread-spectrum digital cordless telephone', IEEE Journal of Solid-State Circuits, **31**(12), s. 1955-1963, 1996.
- [5] Crols J. ve Steyaert M., 'A fully integrated 900MHz CMOS double quadrature down converter', Proc. IEEE Int. Solid-State Conference, Şubat 1995, San Francisco, CA, A.B.D., s. 136-137.
- [6] Behbahani F., Kishigami Y., Leete J. ve Abidi A., 'CMOS mixers and polyphase filters for large image rejection', IEEE Journal of Solid-State Circuits, **36**(6), s. 873-887, 2001.
- [7] Razavi, B. ve Anand, B.A., 'A CMOS clock recovery circuit for 2.5-Gb/s NRZ Data', IEEE Journal of Solid-State Circuits, **36**(3), s. 432-439, 2001.
- [8] Rafougaran A., Rafougaran M., Rael J. ve Abidi A., 'A 900MHz CMOS LC-Oscillator with quadrature outputs', Proc. IEEE Int. Solid-State Circuits Conference, Şubat 1996, Newyork, NY, A.B.D., s. 392-393.
- [9] Yan, W.S. ve Luong, H.C., 'A 3V 1.3-to1.8GHz CMOS voltage controlled oscillator with 0.3ps jitter', IEEE Trans. On Circuits and Systems-II: Analog and Digital Signal Processing, **45** (7), s. 876-880, 1998.
- [10] Park, C. ve Kim, B., 'A low noise, 900MHz VCO in 0.6m CMOS', IEEE Journal of Solid-State Circuits, **34**(5), s. 586-590, 1999.
- [11] Yan, W.S. ve Luong H.C. , 'A 2V 900Mhz monolithic CMOS dual-loop frequency synthesizer for GSM wireless receiver', Proc. European Solid State Circuits Conf. ESSCIRC'2000, Eylül 2000, İsveç, s.392-395.